



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 01 日
Application Date

申請案號：092112011
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 8 日
Issue Date

發文字號：09220800660
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	鑲嵌結構之位元線接觸窗插塞的製作方法
	英 文	FABRICATION METHOD FOR A DAMASCENE BITLINE CONTACT
二、 發明人 (共4人)	姓 名 (中文)	1. 陳逸男 2. 林正平 3. 林智清
	姓 名 (英文)	1. Yi-Nan Chen 2. Jeng-Ping Lin 3. Chih-Ching Lin
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北市北投區義理街63巷2弄22號1樓 2. 桃園市國聖二街34號3樓 3. 桃園縣桃園市同安街338巷11弄4號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-9884twE(n1) : 91217 : Cherry.pdf

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 毛惠民
	姓 名 (英 文)	4. Hui-Min Mao
	國 籍 (中 英 文)	4. 中華民國 TW
	住 居 所 (中 文)	4. 台北市內湖區港富里港漣路11號4樓之2
	住 居 所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：鑲嵌結構之位元線接觸窗插塞的製作方法)

一種鑲嵌結構之位元線接觸窗插塞的製作方法，是先於兩相鄰閘極導電結構之間隙內製作一電連接底墊，再於一層間介電層中進行位元線接觸窗之蝕刻，進而在電連接底墊上製作一位元線接觸窗插塞。

伍、(一)、本案代表圖為：第2K圖。

(二)、本案代表圖之元件代表符號簡單說明：

矽基底~40；

淺溝隔離區~42；

閘極絕緣層~44；

閘極導電結構~46A~46D；

側壁子~48；

N⁻型離子擴散區~50；

N⁺型離子擴散區~52；

電連接底墊~58a；

六、英文發明摘要 (發明名稱：FABRICATION METHOD FOR A DAMASCENE BITLINE CONTACT)

A fabrication method for a damascene bitline contact. A landing pad is formed in a space between two adjacent gate conductive structures, and then an inter-layer dielectric deposited on the landing pad is etched to form a bitline contact window. Next, a contact plug is formed in the bitline contact window. Thus, the landing pad and the contact plug serve as a damascene bitline



四、中文發明摘要 (發明名稱：鑲嵌結構之位元線接觸窗插塞的製作方法)

殘留物~58b；

第二光阻層~60；

第二襯線層~62；

第一層間介電層~64；

第二層間介電層~66；

第二導電層72。

六、英文發明摘要 (發明名稱：FABRICATION METHOD FOR A DAMASCENE BITLINE CONTACT)

contact.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

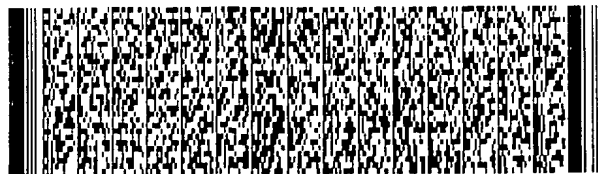
本發明係有關於一種接觸窗插塞製程，特別有關於一種鑲嵌(damascene)結構之位元線接觸窗插塞的製作方法。

【先前技術】

在半導體製程中，自我對準接觸(self aligned contact, SAC)製程可以有效地定義並縮短相鄰之多晶矽閘極的間距，以達到縮小晶片尺寸的目的，尤其是應用在記憶體產品的製作上，如：渠溝式DRAM、堆疊式DRAM、FLASH記憶體。在SAC製程中，閘極之側壁子結構可以定義兩相鄰之輕摻雜汲極(lightly doped drain, LDD)區域之間的最小距離，而且可以用來延長閘極邊緣處的介電區域，進而改善源/汲極區之漏電(leakage)性質。

請參考第1A至1G圖，其顯示習知SAC製程的剖面示意圖。如第1A圖所示，以一P型矽基底10為例，其表面上覆蓋有一閘極絕緣層12，複數個閘極結構14係形成於閘極絕緣層12表面上，以及複數個N型離子擴散區16係分別形成於相鄰閘極結構14之矽基底10表面上。其中，每一閘極結構14是由一多晶矽層18以及一氮化矽覆蓋層20所堆疊構成。

如第1B圖所示，在閘極結構14側壁上形成一氮化矽

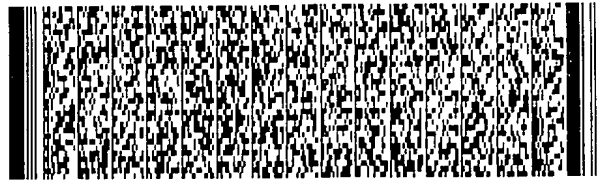
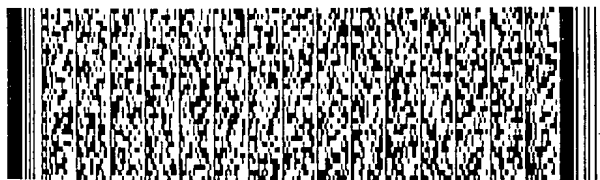


五、發明說明 (2)

(Si_3N_4) 側壁子22，然後利用閘極結構14與氮化矽側壁子22作為幕罩，於 N^- 型離子擴散區16之未被覆蓋區域內形成一 N^+ 型離子擴散區24。其中， N^+ 型離子擴散區24是用來作為一源/汲極區，而 N^- 型離子擴散區16則是用來作為一輕摻雜汲極(lightly doped drain, LDD)結構。然後，於矽基底10表面上沉積一氮化矽阻擋層26，以覆蓋住整個閘極結構14。

然後，如第1C圖所示，於阻擋層26表面上沉積一層間介電(inter layer dielectric, ILD)層28，以填滿相鄰之閘極結構14的間隙。隨後，如第1D圖所示，對層間介電層28進行一化學機械研磨(chemical mechanical polishing, CMP)製程，以使層間介電層28之表面平坦化。接著，如第1E圖所示，先於層間介電層28上形成一光阻層(未顯示)，用來定義接觸窗的圖形，再利用阻擋層26作為一蝕刻停止層，將相鄰之閘極結構14之間的層間介電層28去除，以形成一開口29。不過，在實際操作上，氮化矽覆蓋層20以及氮化矽側壁子22會被過度蝕刻，因此開口29的蝕刻輪廓係如同虛線所示。

爾後，如第1F圖所示，將開口29底部之阻擋層26完全蝕刻去除，以使相鄰之閘極結構14之間的 N^+ 型離子擴散區24表面曝露出來，便製作完成一位元線接觸窗30。後續，如第1G圖所示，藉由沉積、微影、蝕刻以及CMP製程，於



五、發明說明 (3)

位元線接觸窗30內填滿一導電材料，用以當作一位元線接觸窗插塞32。後續可再進行閘極接觸窗製程、源極接觸窗製程以及相關的內連線製程，於此省略敘述。

然而，習知使用SAC製程具有以下幾個缺點：

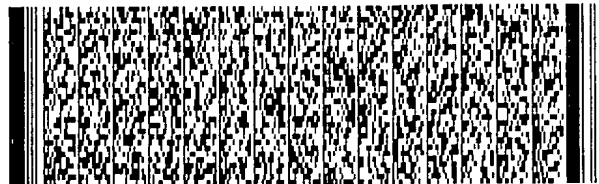
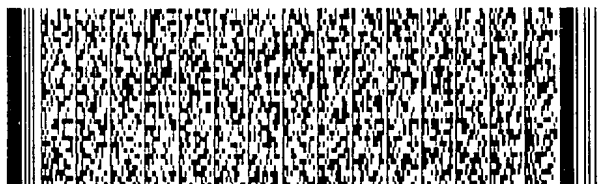
第一，當有效區域之高低差(step height)使微影製程產生對不準問題時、或CMP製程無法提供層間介電層28適當厚度或極佳平坦性時，則會影響位元線接觸窗30之蝕刻輪廓，進而導致後續內連線結構之缺陷問題，如：位元線與字元線之間的短路，或者位元線接觸窗30之瞎窗問題。

第二，在進行位元線接觸窗30之SAC蝕刻時，由於層間介電層28與阻擋層26之間的蝕刻選擇比不夠大，亦即蝕刻停止能力不足，因此容易在淺溝隔離區中產生裂縫(seam)問題，進而導致後續製作之位元線接觸插塞32與基底10之間產生接合漏電(junction leakage)現象。

第三，SAC製程需要製作較厚之氮化矽覆蓋層20，這會增加製程之熱預算，進而降低產品之電性品質(如： V_t 、 I_{dsat} 、 I_{off})。

第四，若要進一步縮小元件之設計，會遭遇到更困難之微影蝕刻問題。

第五，在SAC製程中，僅能使用SiN或SiON材質來製作覆蓋層20與側壁子22，這會增加製程材料之使用限制，而且會使多晶矽層18之漏電問題惡化。



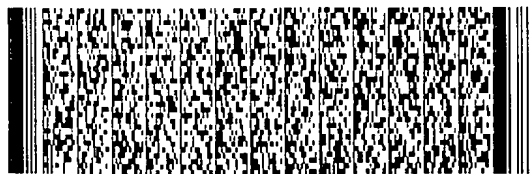
【發明內容】

有鑑於此，本發明提出一種鑲嵌結構之位元線接觸窗插塞的製作方法，以解決習知SAC製程所產生的缺點。

為達成上述目的，本發明提供一種鑲嵌結構之位元線接觸窗插塞的製作方法，包括下列步驟：提供一半導體基底，該基底表面上包含有一第一閘極導電結構以及一第二閘極導電結構，而該基底內包含有一源/汲區域，其中該源/汲區域位於該第一閘極導電結構以及該第二閘極導電結構之空隙內；形成一第一導電層於該第一閘極導電結構以及該第二閘極導電結構之空隙內，且與該源/汲區域形成電性連接；形成一具有平坦表面之層間介電層於該基底表面上，以覆蓋該第一導電層、該第一閘極導電結構以及該第二閘極導電結構；形成一位元線接觸窗於該層間介電層內，以曝露該第一導電層之頂面；以及形成一第二導電層於該位元線接觸窗內，則該第一導電層以及該第二導電層係構成為一鑲嵌結構之位元線接觸窗插塞。

【實施方式】

本發明提供一種鑲嵌結構之位元線接觸窗插塞的製作方法，適用於 $0.11\mu\text{m}$ 以下之接觸窗製程，且可應用在渠溝式DRAM、堆疊式DRAM、FLASH記憶體的產品製作上。為了讓本發明之上述和其他目的、特徵、和優點能更明顯易



五、發明說明 (5)

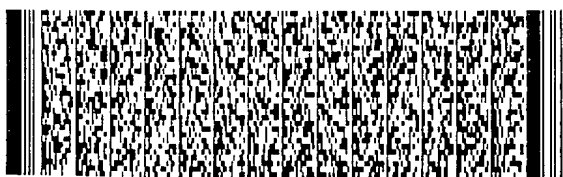
懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

請參閱第2A至2K圖，其顯示本發明鑲嵌結構之位元線接觸窗插塞製程的剖面示意圖。

如第2A圖所示，以一P型半導體矽基底40為例，其包含有複數個淺溝隔離區42，用來隔絕相鄰之有效區域。一閘極絕緣層44形成於矽基底40表面上，複數個閘極導電結構46A~46D係形成於閘極絕緣層44表面上，且每一個閘極導電結構46A~46D之側壁上均製作有一側壁子48。此外，複數個N⁻型離子擴散區50係分別形成於相鄰之閘極導電結構46A~46D外側周圍之矽基底40表面上，而複數個N⁺型離子擴散區52，係分別形成於每個N⁻型離子擴散區50之暴露區域內。

閘極導電結構46A~46D之較佳者為，由一多晶矽層、一矽化鎢層以及一覆蓋層所堆疊構成，而覆蓋層之材質可為SiN、SiON或是氧化矽。側壁子48之較佳者為SiN、SiON、氧化矽或其組合材質。N⁺型離子擴散區52來作為一源/汲極區，N⁻型離子擴散區50則用來作為一輕摻雜汲極 (lightly doped drain, LDD) 結構。

如第2B圖所示，先於矽基底40之整個表面上沉積一第



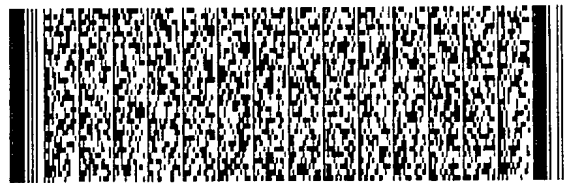
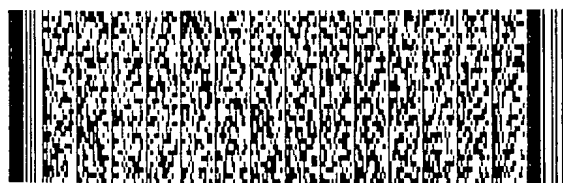
五、發明說明 (6)

一襯線層54，其材質可選用SiON、SiN或氧化矽。較佳者為，第一襯線層54為一氮化矽層，且厚度約為100~120 Å，其目的之一在於提供作為後續電連接底墊的蝕刻停止層，其目的之二在於防止後續沉積之BPSG層內的離子擴散現象。

然後，如第2C圖所示，提供一第一光阻層56，其包含有一開口57係相對應於一位元線接觸窗圖案。隨後，如第2D圖所示，藉由微影與蝕刻製程，將開口57內之第一襯線層54以及閘極絕緣層44去除，以曝露閘極導電結構46B、46C之間的N⁺型離子擴散區52。

跟著，如第2E圖所示，將第一光阻層56去除之後，於矽基底40之整個表面上沉積一第一導電層58，然後利用化學機械研磨(CMP)製程使第一導電層58之表面平坦化，並使第一導電層58之表面高度與閘極導電結構46A~46D之頂部第一襯線層54之高度切齊或略高。第一導電層58之較佳者為多晶矽材料，厚度約為3500~3000 Å。

隨後，如第2F圖所示，於第一導電層58上形成一第二光阻層60，其圖案乃相對應於一位元線接觸窗圖案。爾後，如第2G圖，利用第二光阻層60作為罩幕進行一蝕刻製程，並藉由第一襯線層54作為一蝕刻停止層，將大部分之第一導電層58去除，則存留在閘極導電結構46B、46C之間



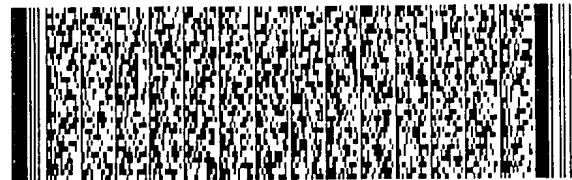
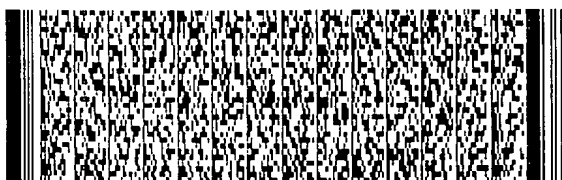
五、發明說明 (7)

的第一導電層58可用作為一電連接底墊(landing pad) 58a，其表面高度與閘極導電結構46B、46C之頂部第一襯線層54之高度切齊或略高。

此外，將第二光阻層60去除之後，在表面起伏輪廓的凹陷處尚發現有多晶矽或高分子的殘留物58b，因此，需要再進行一道濕蝕刻製程，例如：使用 NH_4OH 蝕刻溶液，以確保清除殘留物58b。

依序，如第2H圖所示，於矽基底40之整個表面上形成一第二襯線層62，其較佳者為使用氮化矽、厚度為100~120 Å，可覆蓋電連接底墊58a之頂部。第二襯線層62之一種製作方式，係先去除第一襯線層54，再順應性地沉積一氮化矽層，另一種製作方式係直接於電連接底墊58a之頂部順應性地沉積一氮化矽層。氮化矽之第二襯線層62的目的之一在於防止兩相鄰位元線之間的短路問題，其目的之二則在於後續接觸窗蝕刻製程中，提供較佳蝕刻選擇比。

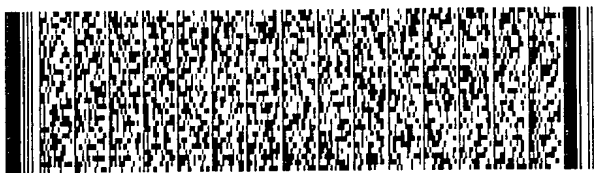
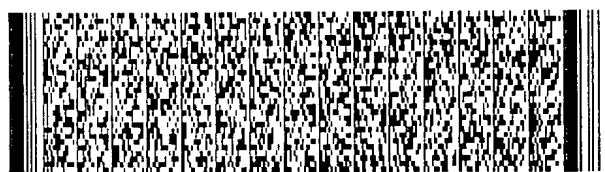
除此之外，氮化矽之第二襯線層62的製作，可以允許後續製程同時進行位元線接觸窗、閘極接觸窗以及源極接觸窗的蝕刻步驟。本發明方法亦可省略氮化矽之第二襯線層62的製作，但後續須先進行位元線接觸窗的蝕刻步驟，再另外進行閘極接觸窗以及源極接觸窗的蝕刻步驟。



五、發明說明 (8)

然後，如第2I圖所示，於矽基底40之整個表面上形成一第一層間介電層64，以填滿相鄰之閘極導電結構46A~46D的間隙，再藉由化學機械研磨(CMP)製程使第一層間介電層64之表面平坦化，直至與第二襯線層62之頂部高度切齊。而後，於第一層間介電層64之表面上沉積一具有平坦表面之第二層間介電層66。第一層間介電層64以及第二層間介電層66之材質可選用BPSG、HDP氧化矽、TEOS氧化矽或是其組合材料，較佳者為，第一層間介電層64為一BPSG層，厚度約為3500~3000 Å，第二層間介電層66為一TEOS氧化矽層，厚度約為3000~2500 Å。

隨後，如第2J圖所示，提供一第三光阻層68，其包含有一第一開口69I係相對應於一位元線接觸窗圖案、一第二開口69II係相對應於一閘極接觸窗圖案、一第三開口69III係相對應於一源極接觸窗圖案。進行微影與蝕刻製程，將暴露於開口69I、69II、69III內之第二層間介電層66、第一層間介電層64、第二襯電層62以及閘極絕緣層44去除，則可形成一位元線接觸窗70I、一閘極接觸窗70II以及一源極接觸窗70III。其中，位元線接觸窗70I係暴露閘極導電結構46B、46C之間的電連接底墊58a；閘極接觸窗70II係形成於閘極導電結構46A上方，且曝露出閘極導電結構46之矽化鎢層表面；源極接觸窗70III係暴露閘極導電結構46D之一側的N⁺型離子擴散區52。



五、發明說明 (9)

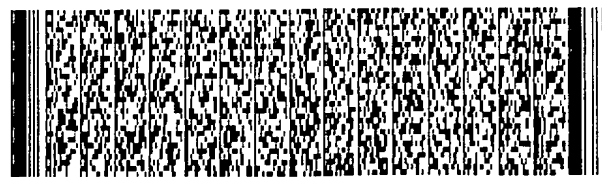
最後，如第2K圖所示，將第三光阻層68去除之後，於矽基底40之整個表面上沉積一第二導電層72，以填滿位元線接觸窗70I、閘極接觸窗70II以及源極接觸窗70III，再利用化學機械研磨(CMP)技術將第二導電層72與第二層間介電層66之表面高度切齊。第二導電層72之較佳者為多晶矽、鎢金屬或其他導電材料。如此一來，形成於位元線接觸窗70I內第二導電層72I及其下方之電連接底墊58a係用作為一鑲嵌結構之位元線接觸窗插塞，而形成於閘極接觸窗70II內之第二導電層72II係用作為一閘極接觸窗插塞，至於形成於源極接觸窗70III內之第二導電層72III係用作為一源極接觸窗插塞。

相較於習知SAC技術，本發明方法具有以下優點：

第一，本發明是先製作電連接底墊58a，再利用多晶矽與氧化矽之高選擇比進行位元線接觸窗70I之蝕刻，進而在電連接底墊58a上製作位元線接觸窗插塞72I，因此可以避免習知SAC蝕刻製程所產生的接觸窗之蝕刻輪廓、內連線結構之短路或瞎窗等問題。

第二，若要進一步縮小元件之設計，本發明方法仍可適用於 $0.11\ \mu\text{m}$ 以下之接觸窗製程，不會遭遇到SAC製程所面臨之微影蝕刻問題。

第三，本發明之第二襯線層62為氮化矽材質，而第一層間介電層64使用BPSG材質，可以防止硼、磷離子擴散進入矽基底40，以確保元件之穩定性。



五、發明說明 (10)

第四，本發明方法於電連接底墊58a頂面上提供第二襯線層62，因此可以同時進行位元線接觸窗、閘極接觸窗以及源極接觸窗的蝕刻步驟。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A至1G圖顯示習知SAC製程的剖面示意圖。

第2A至2K圖顯示本發明鑲嵌結構之位元線接觸窗插塞製程的剖面示意圖。

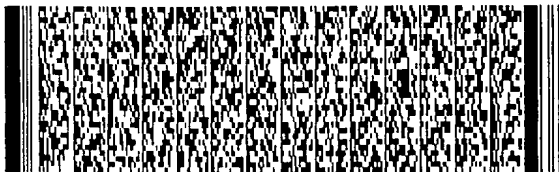
符號說明：

習知技術：

矽基底~10；
閘極絕緣層~12；
閘極結構~14；
N⁻型離子擴散區~16；
多晶矽層~18；
氮化矽覆蓋層~20；
側壁子~22；
N⁺型離子擴散區~24；
氮化矽阻擋層~26；
層間介電層~28；
開口~29；
位元線接觸窗~30；
位元線接觸窗插塞~32。

本發明技術：

矽基底~40；
淺溝隔離區~42；
閘極絕緣層~44；



圖式簡單說明

閘極導電結構~46A~46D ;
側壁子~48 ;
N⁻型離子擴散區~50 ;
N⁺型離子擴散區~52 ;
第一襯線層~54 ;
第一光阻層~56 ;
開口~57 ;
第一導電層~58 ;
電連接底墊~58a ;
殘留物~58b ;
第二光阻層~60 ;
第二襯線層~62 ;
第一層間介電層~64 ;
第二層間介電層~66 ;
第三光阻層~68 ;
開口~69I、69II、69III ;
位元線接觸窗~70I ;
閘極接觸窗~70II ;
源極接觸窗~70III ;
第二導電層72 。



六、申請專利範圍

1. 一種鑲嵌結構之位元線接觸窗插塞的製作方法，包括下列步驟：

提供一半導體基底，該基底表面上包含有一第一閘極導電結構以及一第二閘極導電結構，而該基底內包含有一源/汲區域，其中該源/汲區域位於該第一閘極導電結構以及該第二閘極導電結構之空隙內；

形成一第一導電層於該第一閘極導電結構以及該第二閘極導電結構之空隙內，且與該源/汲區域形成電性連接；

形成一具有平坦表面之層間介電層於該基底表面上，以覆蓋該第一導電層、該第一閘極導電結構以及該第二閘極導電結構；

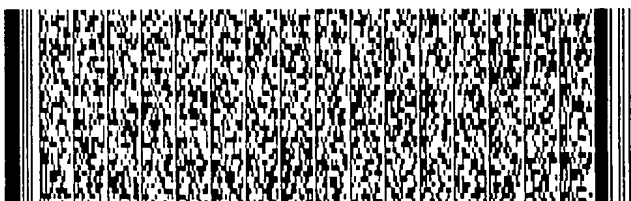
形成一位元線接觸窗於該層間介電層內，以曝露該第一導電層之頂面；以及

形成一第二導電層於該位元線接觸窗內，則該第一導電層以及該第二導電層係構成為一鑲嵌結構之位元線接觸窗插塞。

2. 如申請專利範圍第1項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一導電層的製作方法包含有下列步驟：

形成一第一襯線層，以覆蓋該第一閘極導電結構、該第二閘極導電結構以及該基底之表面；

提供一第一光阻層，其包含有一相對應於該位元線接觸窗圖案之開口；



六、申請專利範圍

去除該開口內之該第一襯線層，以暴露該第一閘極導電結構以及該第二閘極導電結構之間的源/汲區域；

去除該第一光阻層；

沉積該第一導電層層於該基底表面上，以填滿該第一閘極導電結構以及該第二閘極導電結構之間隙；

進行化學機械研磨製程，以使該第一導電層之表面高度切齊或略高於該第一、第二閘極導電結構之頂面的第一襯線層表面；

提供一第二光阻層，其相對應於該位元線接觸窗圖案；以及

去除該第二光阻層以外之該第一導電層，則該第一導電層殘留於該第一閘極導電結構以及該第二閘極導電結構之空隙內，且與該源/汲區域形成電性連接。

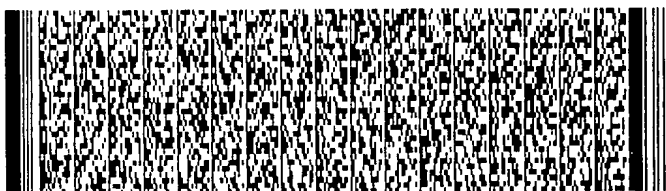
3. 如申請專利範圍第2項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一導電層的製作方法另包含有下列步驟：

去除該第二光阻層；以及

進行一濕蝕刻製程，以去除該基底表面之高分子殘留物。

4. 如申請專利範圍第2項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一襯線層之材質為SiN或SiON。

5. 如申請專利範圍第2項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一襯線層之厚度為



六、申請專利範圍

100~120 Å。

6. 如申請專利範圍第1項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該位元線接觸窗的製作方法包含有下列步驟：

形成一第二襯線層於該基底之表面上；

形成一第一層間介電層於該基底表面上，以覆蓋該第二襯線層；

進行化學機械研磨製程，以使該第一層間介電層之表面高度切齊於該第二襯線層之表面；

形成一第二層間介電層，以覆蓋該第一層間介電層以及該第二襯線層之表面；

提供一第三光阻層，其包含有一相對應於該位元線接觸窗圖案之開口；以及

去除該開口內之第二層間介電層以及該第二襯線層，以暴露該第一導電層之頂面。

7. 如申請專利範圍第6項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中於形成該第二襯線層之前，係先去除此第一襯線層，則該第二襯線層覆蓋該第一導電層、該第一閘極導電結構以及該第二閘極導電層結構之表面。

8. 如申請專利範圍第6項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二襯線層係形成於該第一導電層之頂面上，則該第一、第二襯線層之組合係覆蓋該第一導電層、該第一閘極導電結構以及該第二閘極導電結



六、申請專利範圍

構之表面。

9. 如申請專利範圍第6項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二襯線層之材質為SiN。

10. 如申請專利範圍第6項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二襯線層之厚度為100~120 Å。

11. 如申請專利範圍第6項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一層間介電層之材質為BPSG。

12. 如申請專利範圍第6項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一層間介電層之厚度為3500~3000 Å。

13. 如申請專利範圍第6項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二層間介電層之材質為TEOS氧化矽。

14. 如申請專利範圍第6項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二層間介電層之厚度為3000~2500 Å。

15. 如申請專利範圍第1項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二導電層之材質為鎢金屬、多晶矽或其他導電材質。

16. 一種鑲嵌結構之位元線接觸窗插塞的製作方法，包括下列步驟：

提供一半導體基底，其表面上設有依序相鄰之一第一



六、申請專利範圍

閘極導電結構、一第二閘極導電結構、一第三閘極導電結構以及一第四閘極導電結構，其中該第二閘極導電結構與該第三閘極導電結構係位於一有效區域內；

形成一第一導電層，以填滿該第二閘極導電結構以及該第三閘極導電結構之空隙；

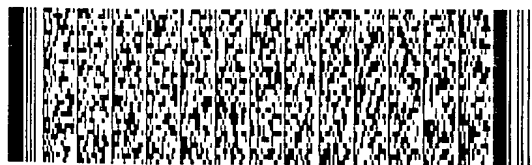
形成一襯線層於該基底表面上，以覆蓋該第一、第二、第三、第四閘極導電結構以及該第一導電層之表面；

形成一第一層間介電層於該襯線層表面上，以填滿該第一、第二閘極導電結構之間隙以及該第三、第四閘極導電結構之間隙；

形成一第二層間介電層於該第一層間介電層之表面上；

形成一位元線接觸窗、一閘極接觸窗以及一源極接觸窗，其中該位元線接觸窗係曝露該第一導電層之頂面，該閘極接觸窗係暴露該第一閘極導電結構之頂部，該源極接觸窗係曝露該第四閘極導電結構之外側基底表面；以及形成一第二導電層，以填滿該位元線接觸窗、該閘極接觸窗以及該源極接觸窗，其中，形成於位元線接觸窗內之該第二導電層及其下方之該第一導電層係構成為一鑲嵌結構之位元線接觸窗插塞。

17. 如申請專利範圍第16項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該半導體基底內包含有兩個淺溝隔離區域，係分別設置於該第一閘極導電結構與該第二閘極導電結構之間、該第三閘極導電結構與該第四閘極



六、申請專利範圍

導電結構之間，用以定義該有效區域。

18. 如申請專利範圍第16項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該半導體基底內包含有：

一第一源/汲極區域，位於該第二閘極導電結構以及該第三閘極導電結構之空隙的基底表面內；以及

一第二源/汲極區域，位於該第四閘極導電結構之外側基底表面；

其中，該第一導電層係與該第一源/汲極區域形成電性連接，且該源極接觸窗係曝露該第二源/汲極區域。

19. 如申請專利範圍第16項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一導電層的製作方法包含有下列步驟：

形成一第一襯線層，以覆蓋該第一、第二、第三、第四閘極導電結構以及該基底之表面；

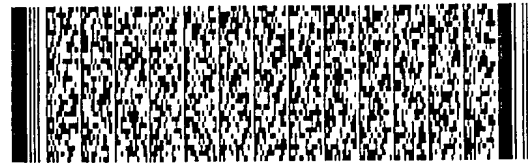
提供一第一光阻層，其包含有一相對應於該位元線接觸窗圖案之開口；

去除該開口內之該第一襯線層，以暴露該第二閘極導電結構以及該第三閘極導電結構之間的基底表面；

去除該第一光阻層；

沉積該第一導電層層於該基底表面上，以填滿該第二閘極導電結構以及該第三閘極導電結構之間隙；

進行化學機械研磨製程，以使該第一導電層之表面高度切齊或略高於該第二、第三閘極導電結構之頂面的第一



六、申請專利範圍

襯線層表面；

提供一第二光阻層，其相對應於該位元線接觸窗圖案；以及

去除該第二光阻層以外之該第一導電層，則該第一導電層殘留於該第二閘極導電結構以及該第三閘極導電結構之空隙內。

20. 如申請專利範圍第19項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一導電層的製作方法另包含有下列步驟：

去除該第二光阻層；以及

進行一濕蝕刻製程，以去除該基底表面之高分子殘留物。

21. 如申請專利範圍第19項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一襯線層之材質為SiN或SiON。

22. 如申請專利範圍第19項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一襯線層之厚度為100~120 Å。

23. 如申請專利範圍第16項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該位元線接觸窗、該閘極接觸窗以及該源極接觸窗的製作方法包含有下列步驟：

形成一第二襯線層於該基底之表面上；

形成一第一層間介電層於該基底表面上，以覆蓋該第二襯線層；



六、申請專利範圍

進行化學機械研磨製程，以使該第一層間介電層之表面高度切齊於該第二襯線層之表面；

形成一第二層間介電層，以覆蓋該第一層間介電層以及該第二襯線層之表面；

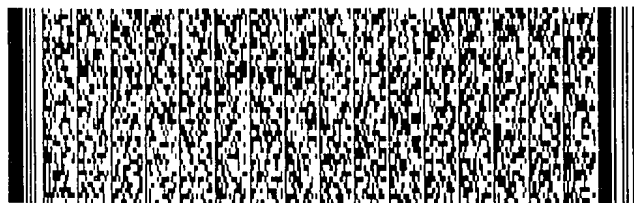
提供一第三光阻層，其包含有一相對應於該位元線接觸窗圖案之第一開口、一相對應於該閘極接觸窗圖案之第二開口以及一相對應於該源極接觸窗圖案之第三開口；以及

去除該第一、第二、第三開口內之第二層間介電層、第一層間介電層以及該第二襯線層，直至曝露該第一導電層之頂面、該第一閘極導電結構之頂部以及該第四閘極導電結構之外側基底表面。

24. 如申請專利範圍第23項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中於形成該第二襯線層之前，係先去除該第一襯線層，則該第二襯線層覆蓋該第一導電層、該第一、第二、第三、第四閘極導電結構之表面。

25. 如申請專利範圍第23項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二襯線層係形成於該第一導電層之頂面上，則該第一、第二襯線層之組合係覆蓋該第一導電層、該第一、第二、第三、第四閘極導電結構之表面。

26. 如申請專利範圍第23項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二襯線層之材質為SiN。



六、申請專利範圍

27. 如申請專利範圍第23項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二襯線層之厚度為100~120 Å。

28. 如申請專利範圍第23項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一層間介電層之材質為BPSG。

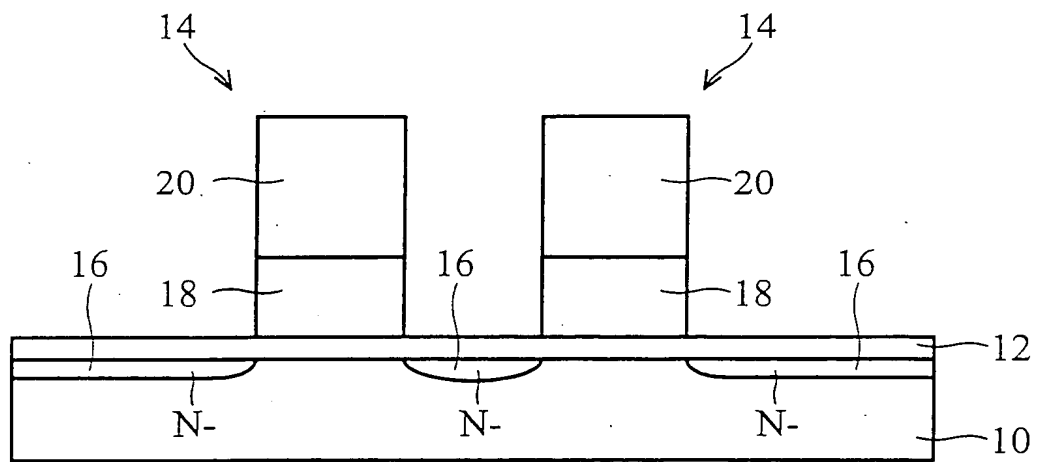
29. 如申請專利範圍第23項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第一層間介電層之厚度為3500~3000 Å。

30. 如申請專利範圍第23項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二層間介電層之材質為TEOS氧化矽。

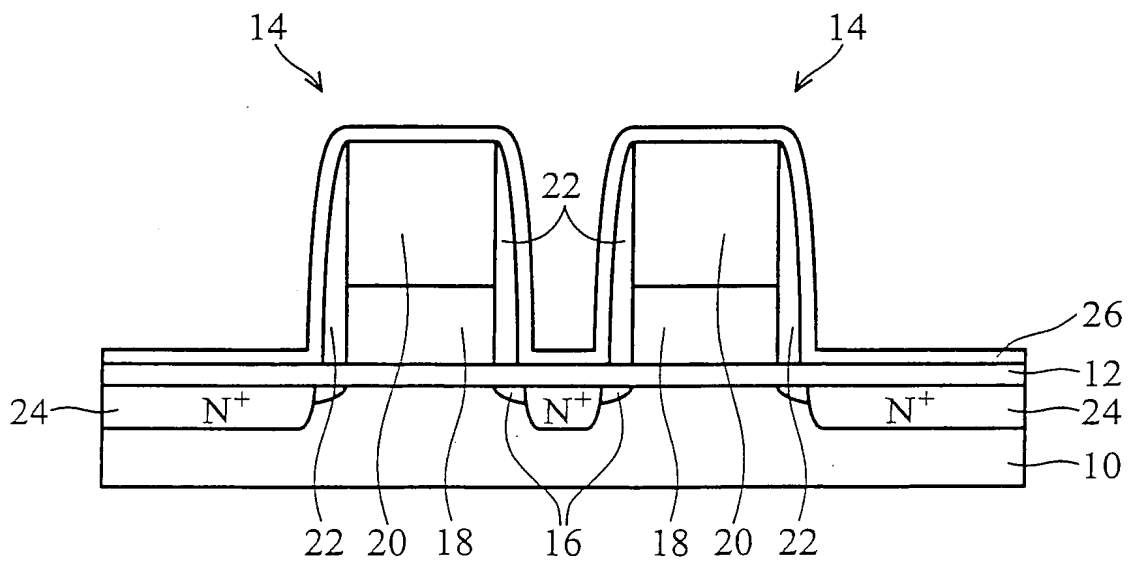
31. 如申請專利範圍第23項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二層間介電層之厚度為3000~2500 Å。

32. 如申請專利範圍第16項所述之鑲嵌結構之位元線接觸窗插塞的製作方法，其中該第二導電層之材質為鎢金屬、多晶矽或其他導電材質。

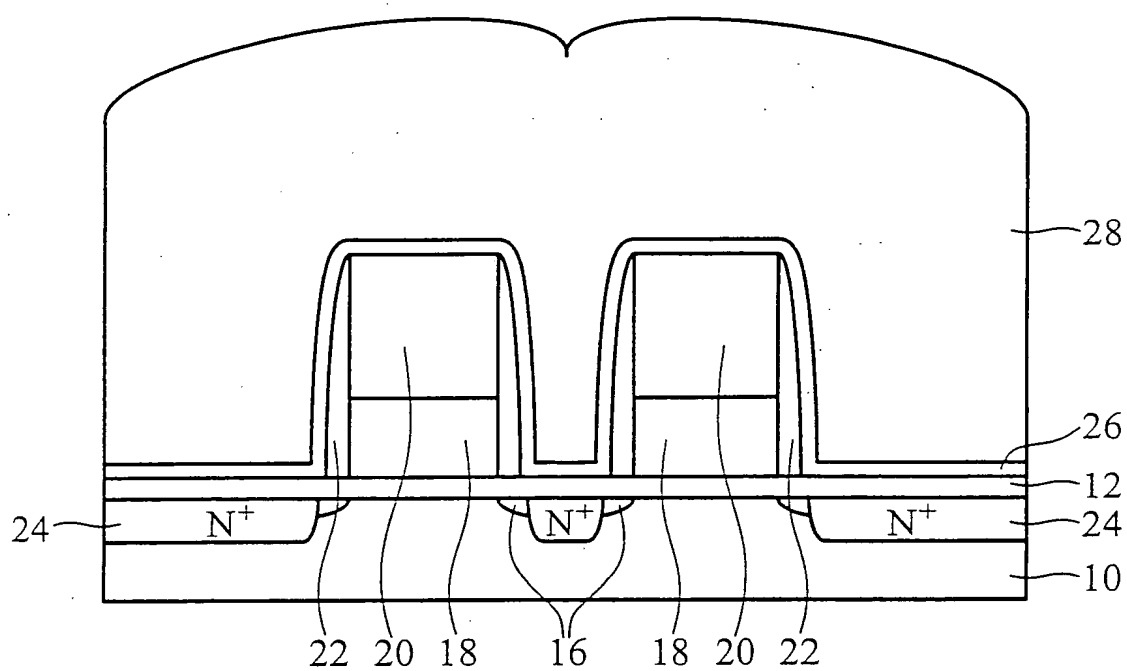




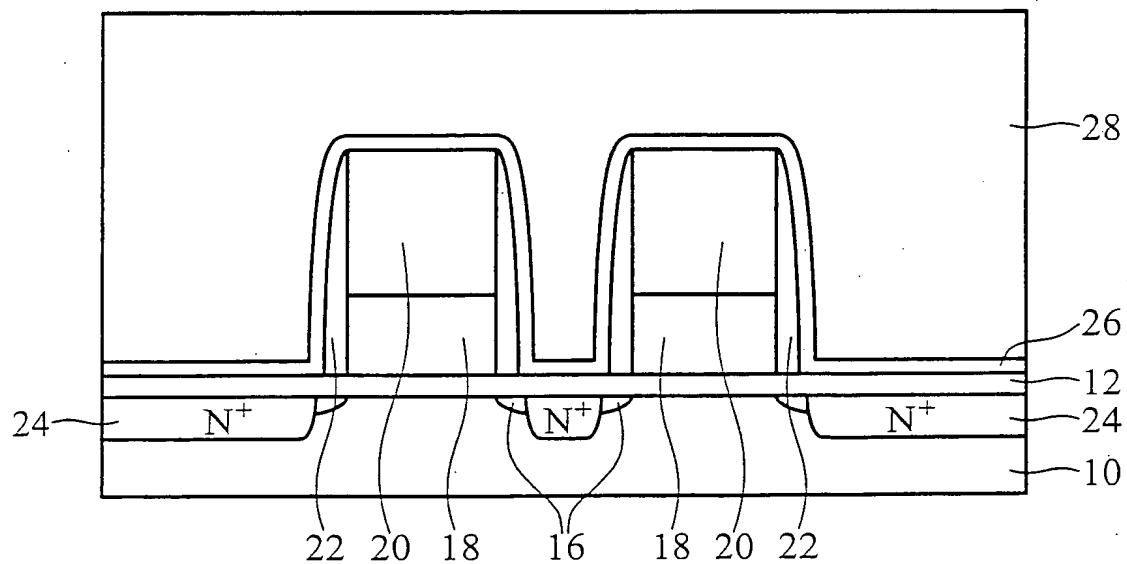
第 1A 圖



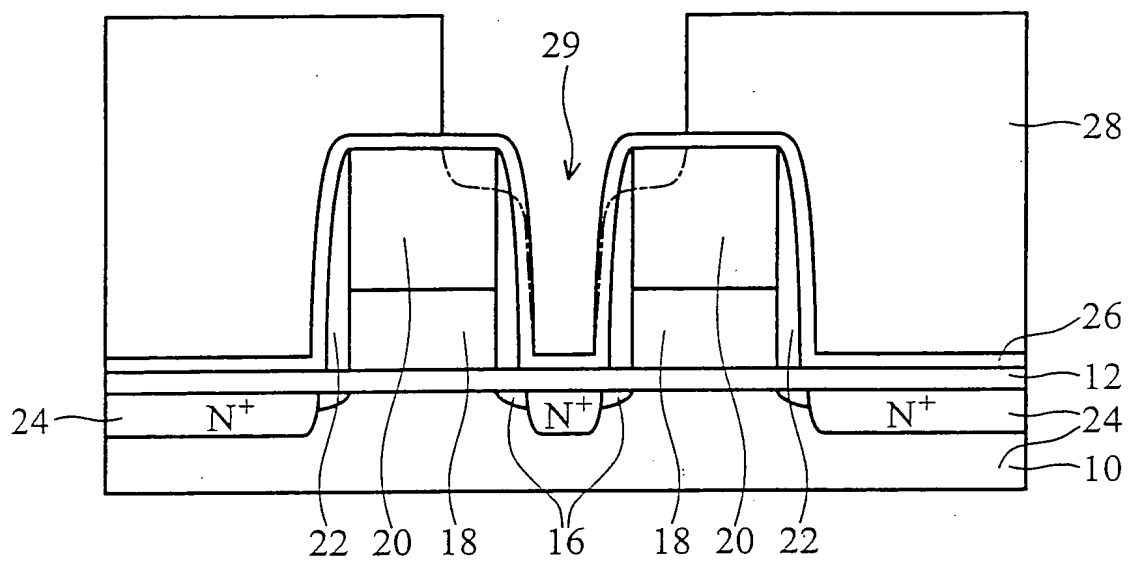
第 1B 圖



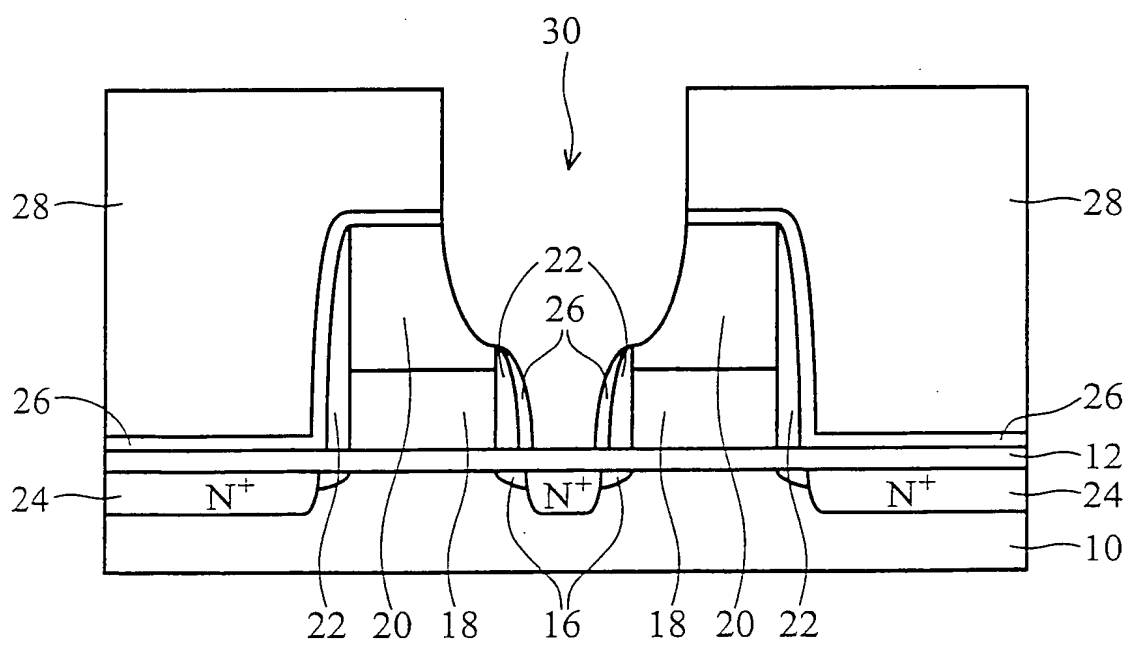
第 1C 圖



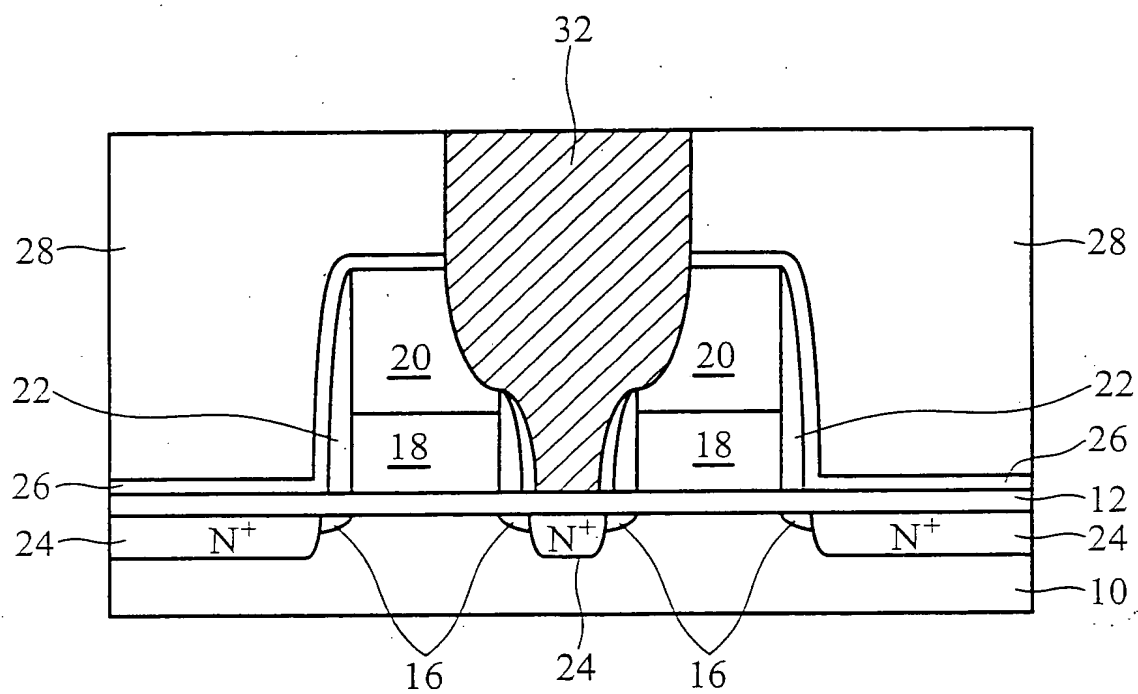
第 1D 圖



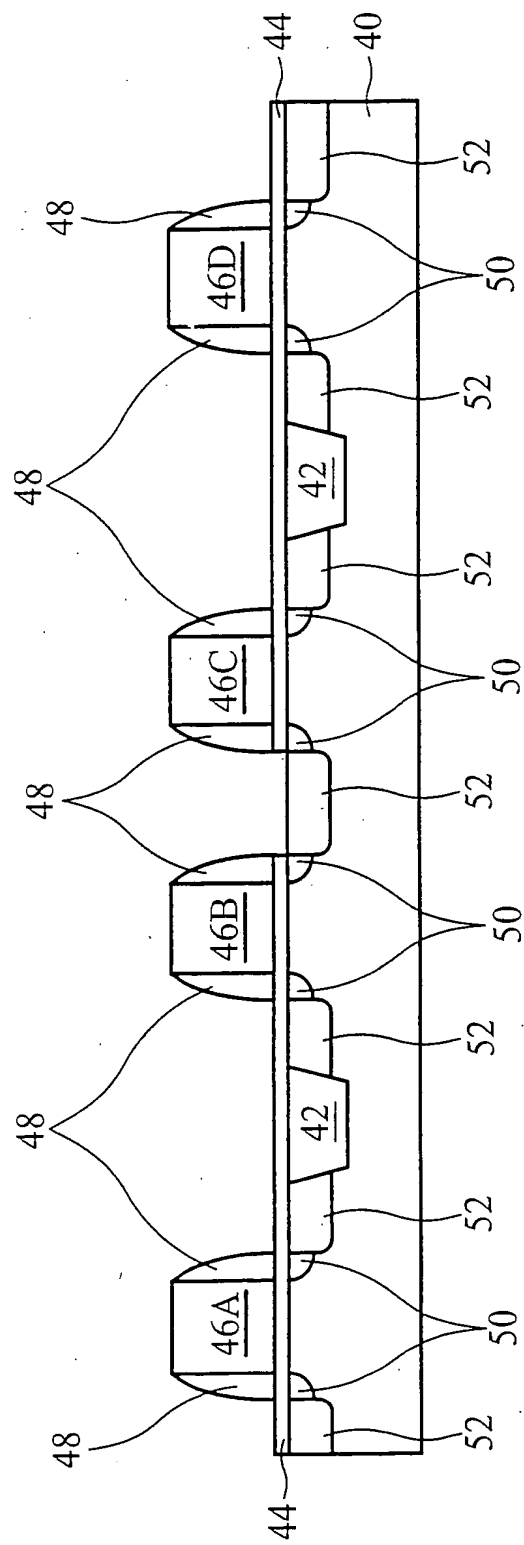
第1E圖



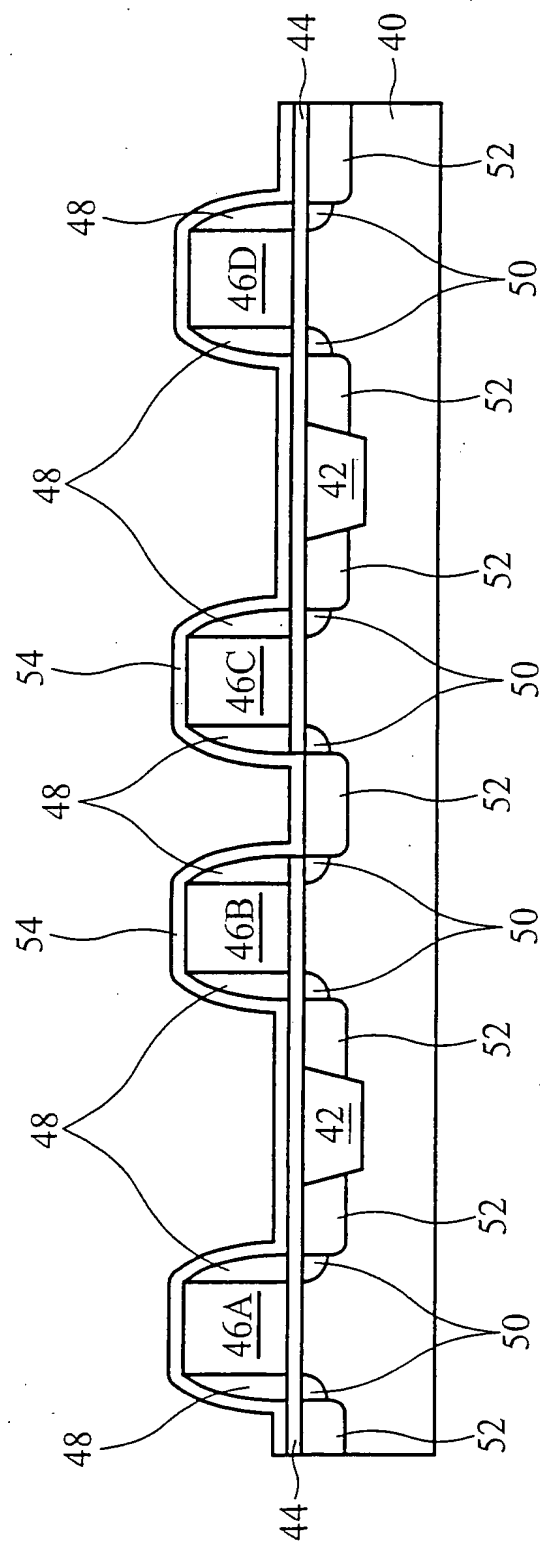
第1F圖



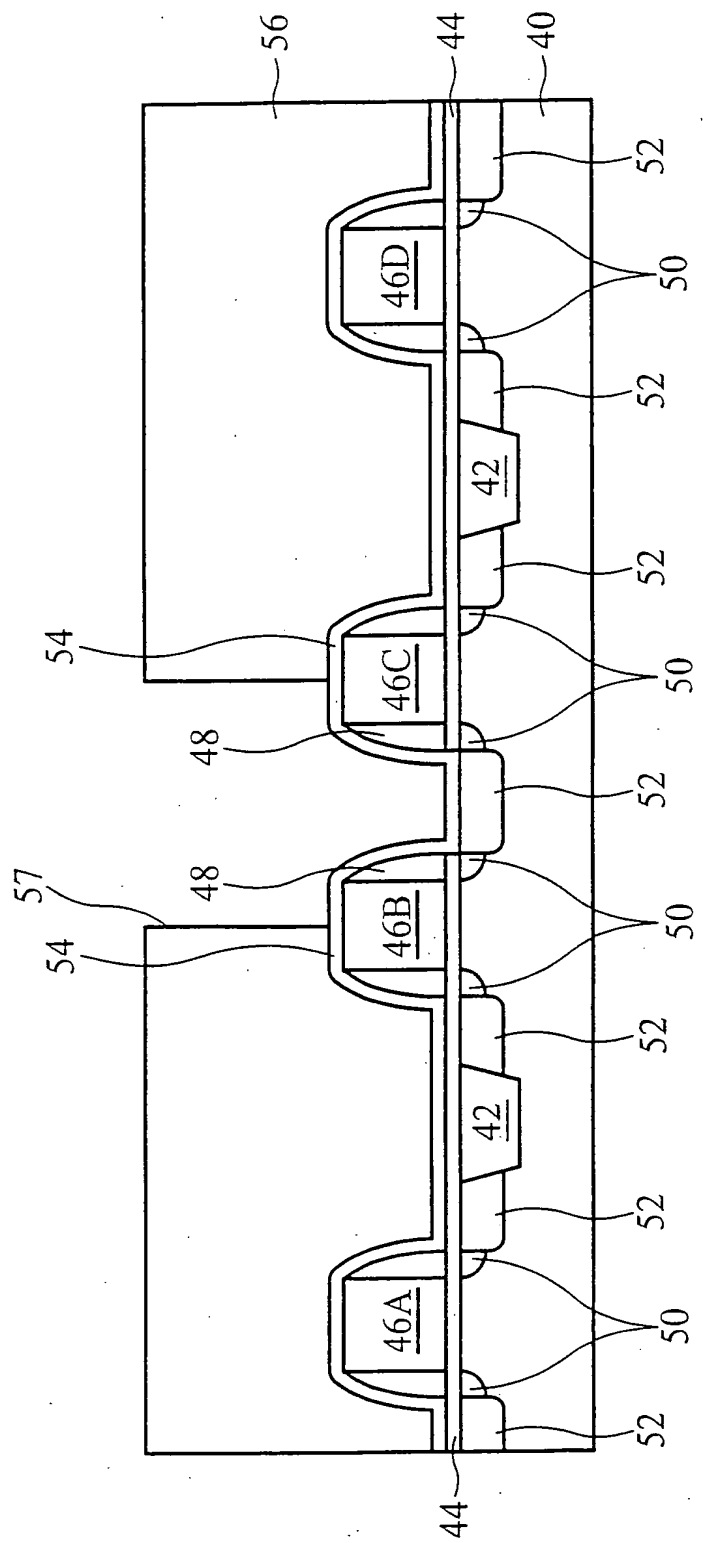
第1G圖



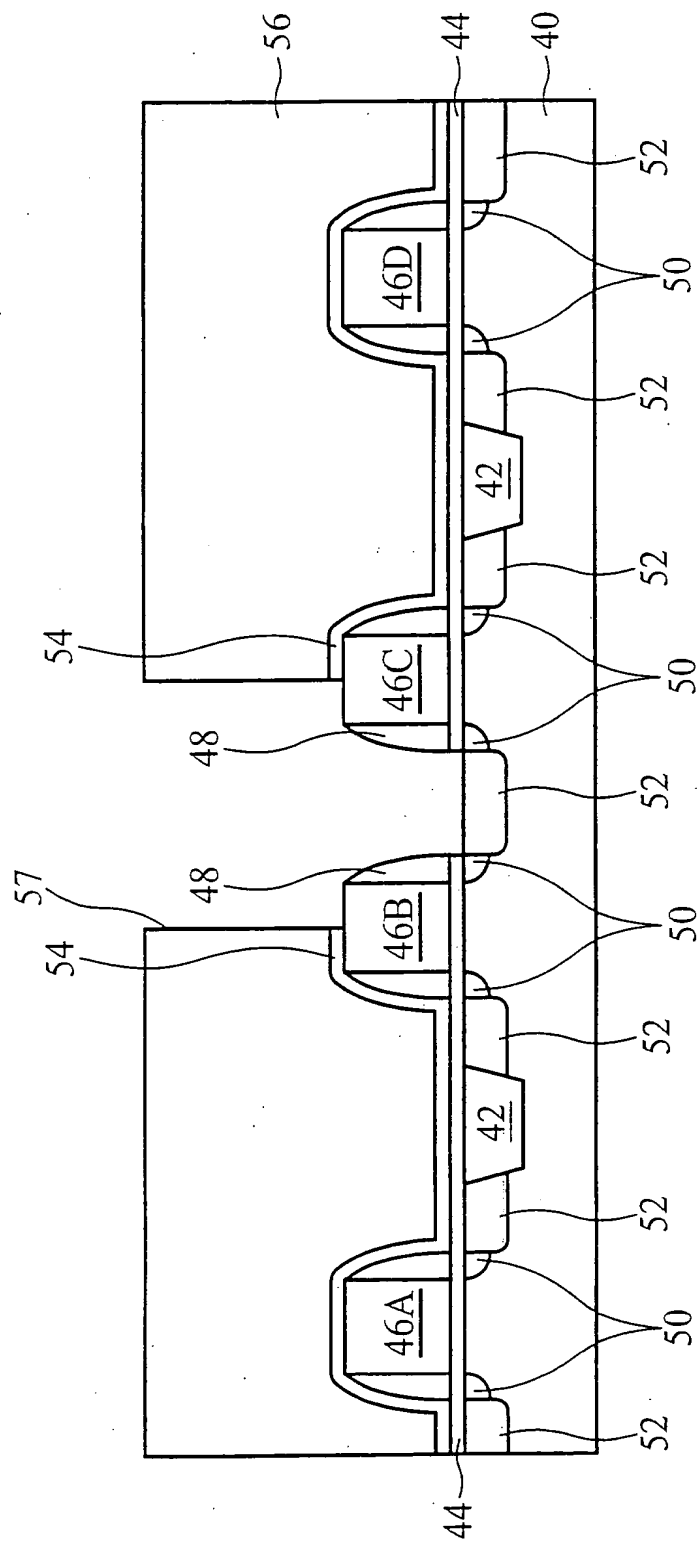
第2A圖



第2B圖



第2C圖



第2D圖

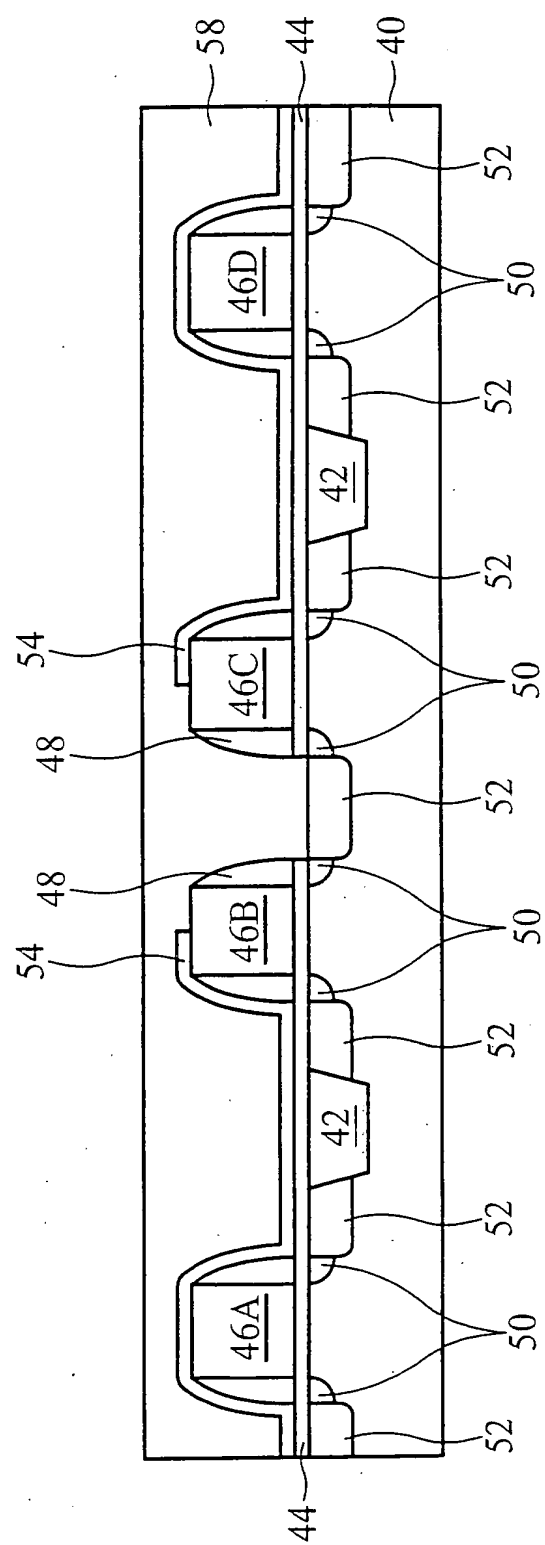
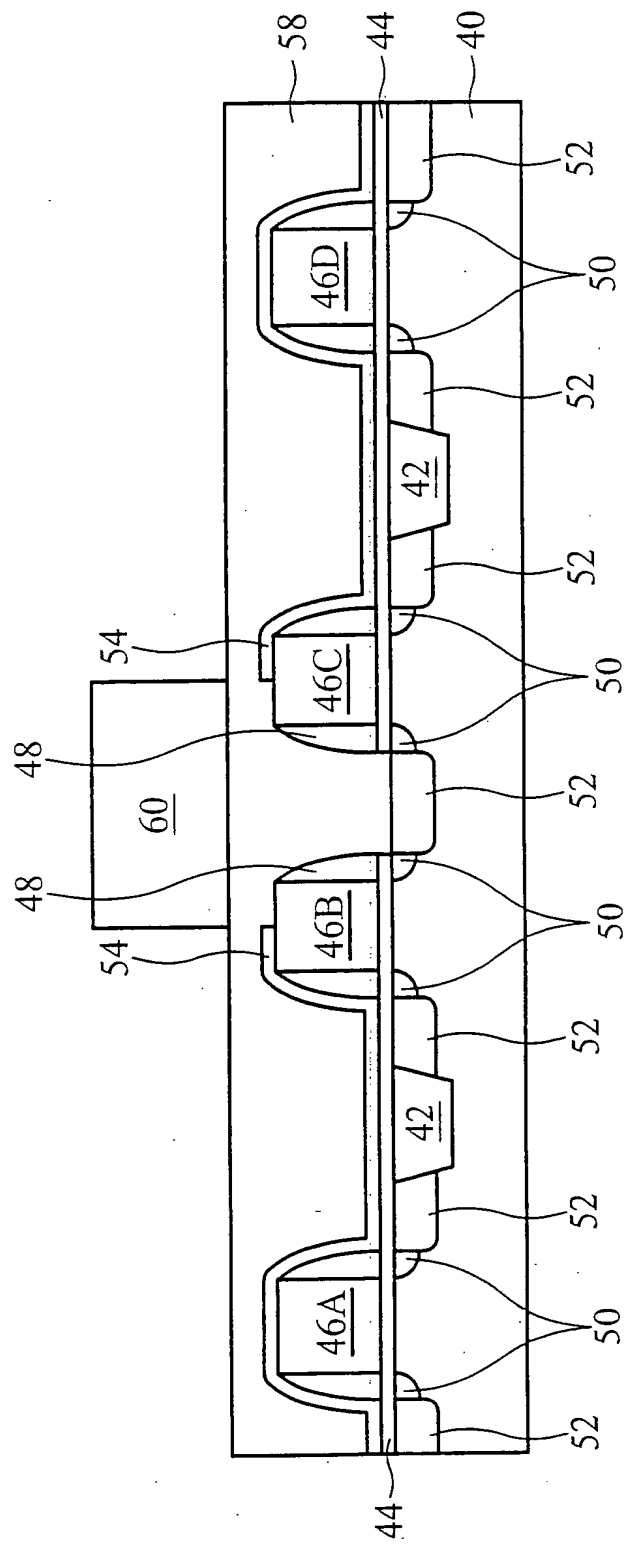
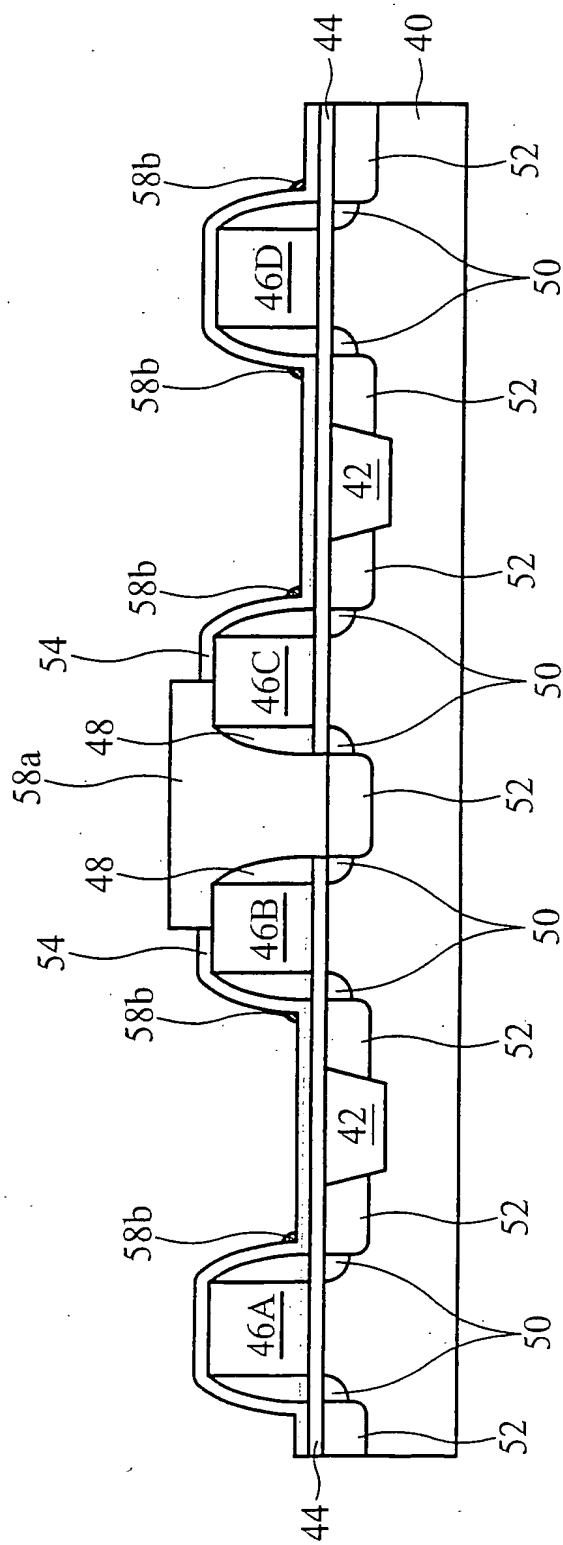


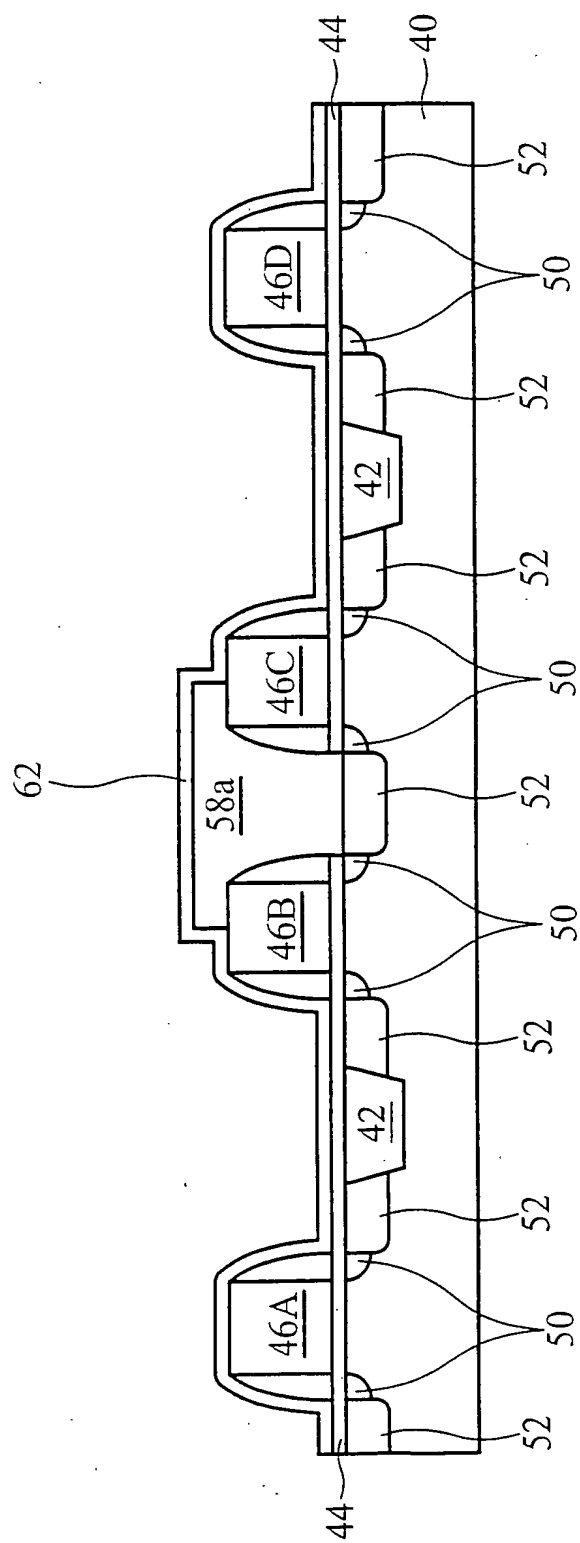
圖 2E



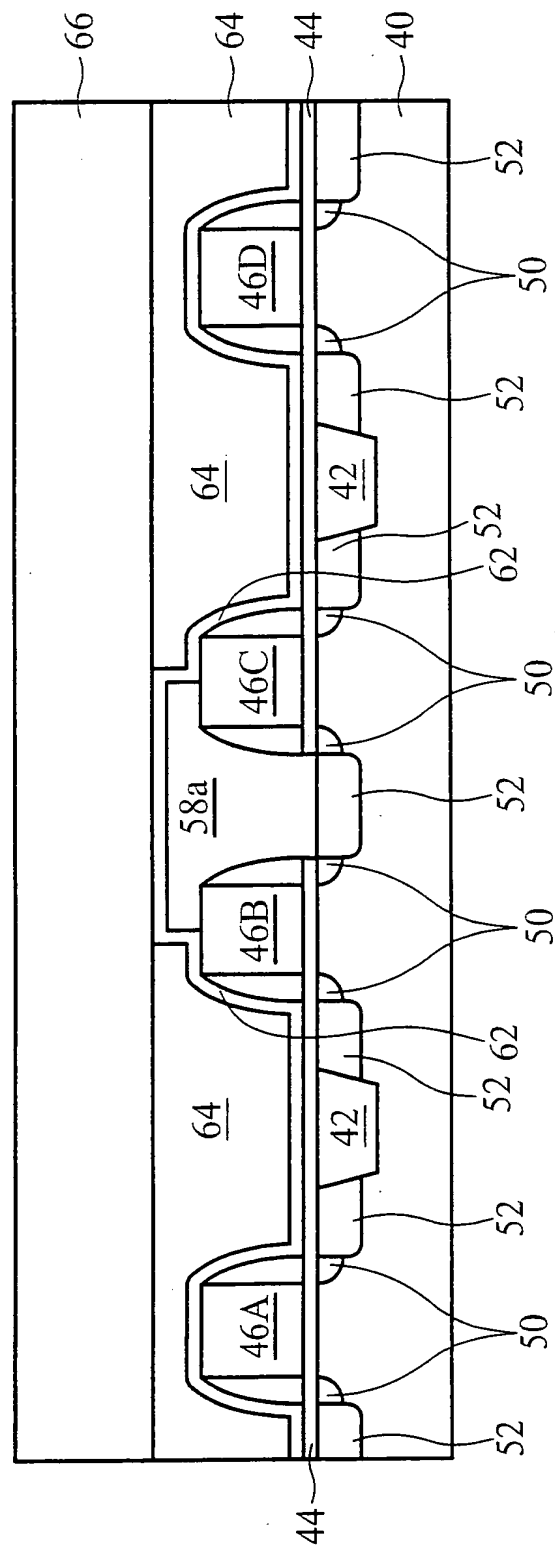
第2F圖



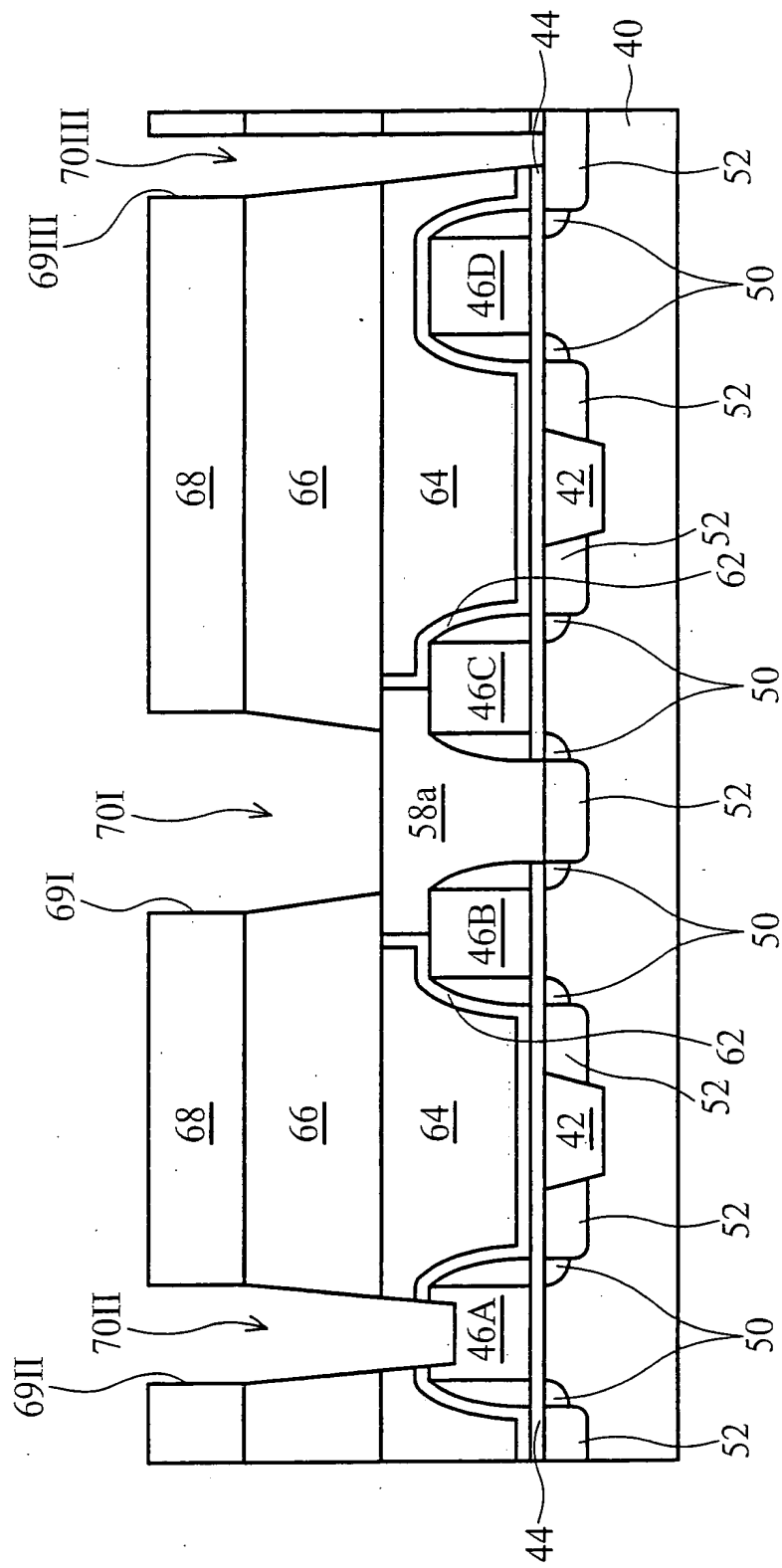
第2G圖



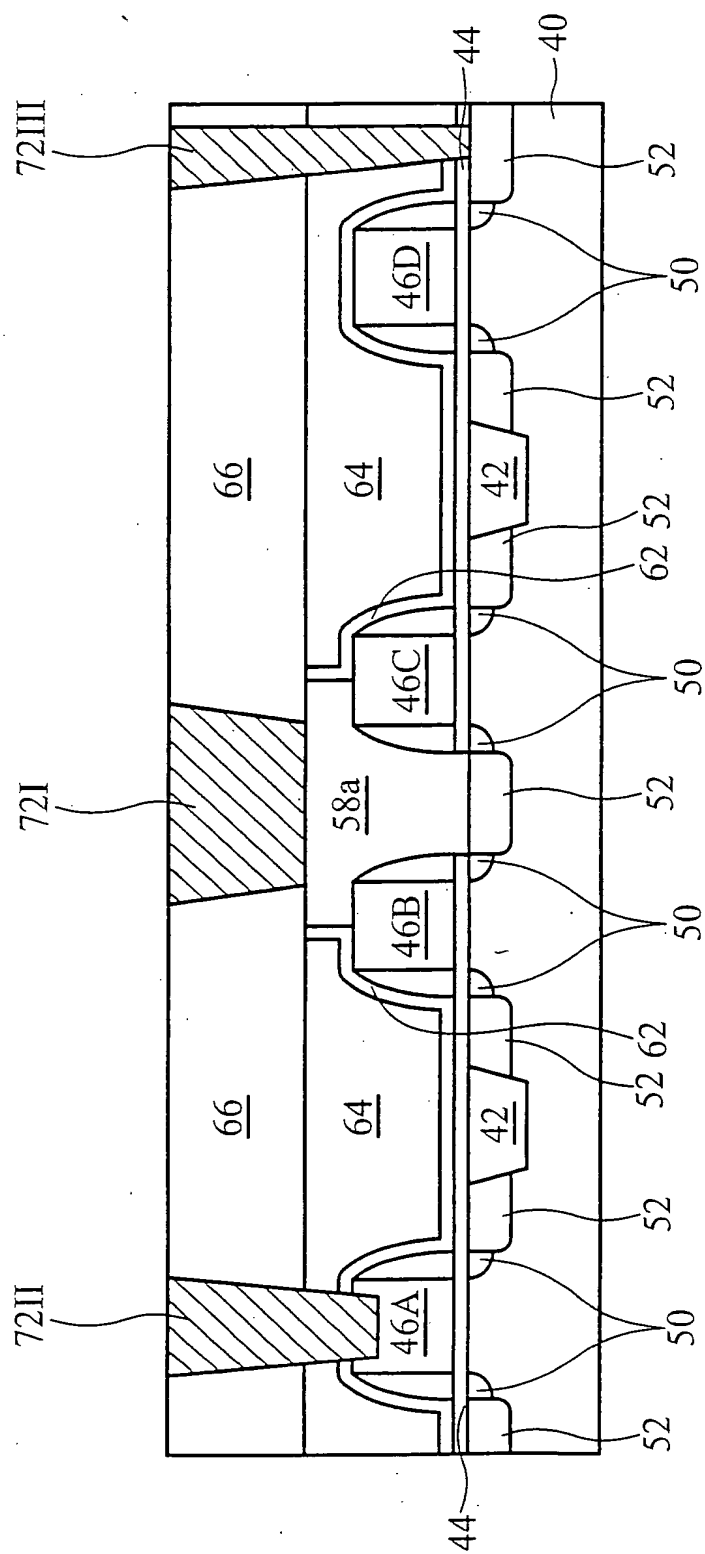
第2H圖



第21圖

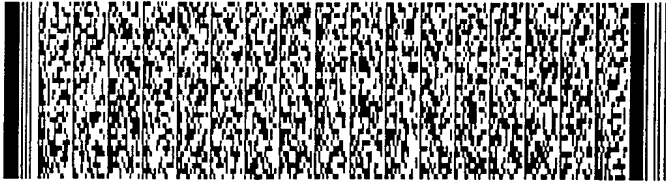


第2J圖



第2K圖

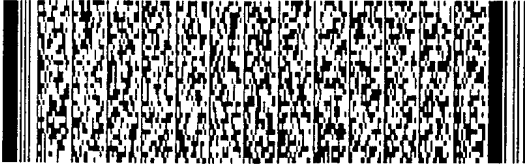
第 1/26 頁



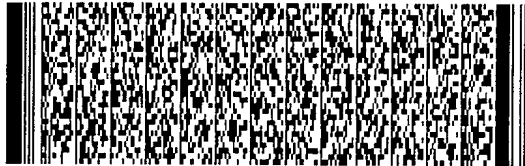
第 2/26 頁



第 3/26 頁



第 3/26 頁



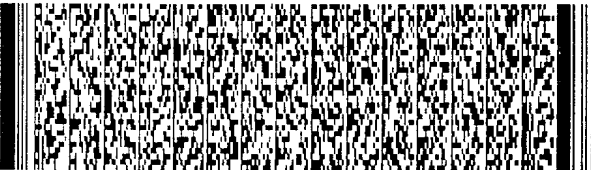
第 4/26 頁



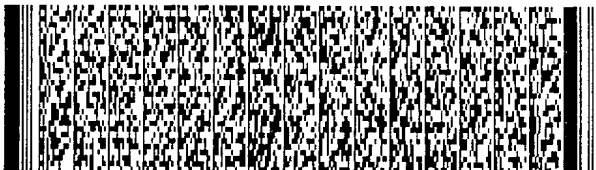
第 5/26 頁



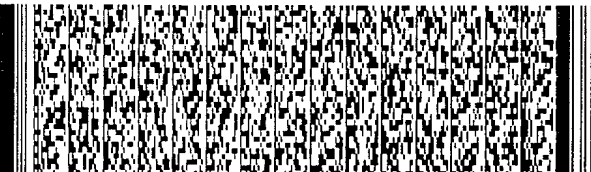
第 6/26 頁



第 6/26 頁



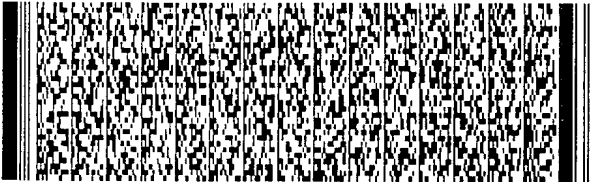
第 7/26 頁



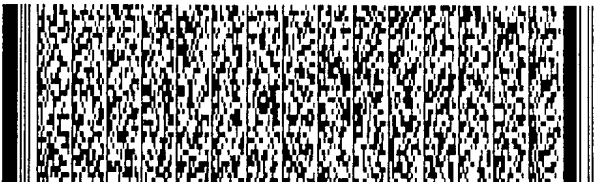
第 7/26 頁



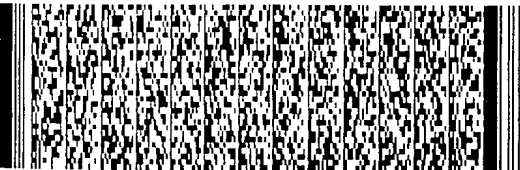
第 8/26 頁



第 8/26 頁



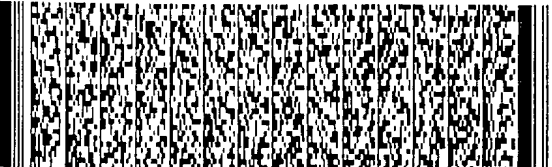
第 9/26 頁



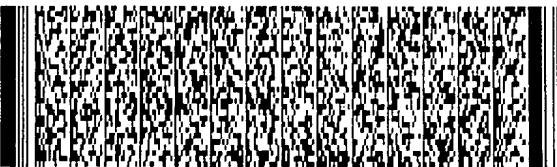
第 9/26 頁




第 10/26 頁



第 10/26 頁



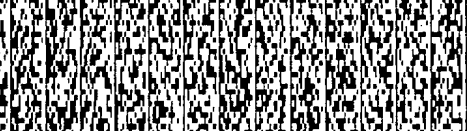

A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular black shapes and lines scattered across a white background, creating a noisy, textured appearance. The overall effect is reminiscent of a high-contrast, grainy image or a complex digital noise pattern.



A large, dense, black and white photograph of a textured surface, possibly a wall or a piece of fabric, with a vertical line running down the center. The texture is highly irregular and grainy, with many small, dark, and light patches. The vertical line is slightly darker and more uniform than the surrounding areas, creating a sense of depth and division. The overall effect is one of a highly detailed, almost abstract, natural or man-made surface.



100

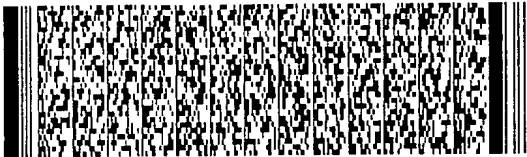


100

100

100

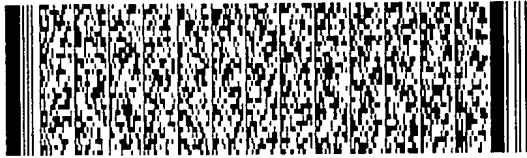
第 22/26 頁



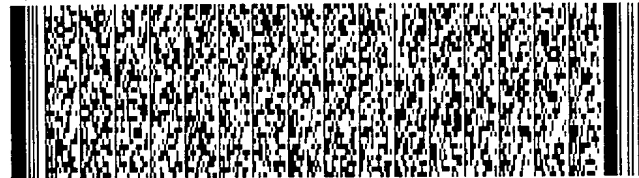
第 23/26 頁



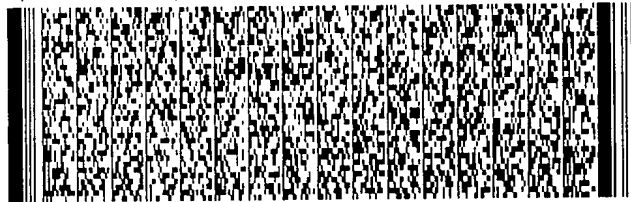
第 23/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁

